

(19) 世界知的所有権機関  
国際事務局



(43) 国際公開日  
2003年12月31日 (31.12.2003)

PCT

(10) 国際公開番号  
WO 2004/000719 A1

(51) 国際特許分類<sup>7</sup>: B81B 7/04, B81C 1/00, H01L 27/04

(21) 国際出願番号: PCT/JP2003/007891

(22) 国際出願日: 2003年6月20日 (20.06.2003)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:  
特願2002-181965 2002年6月21日 (21.06.2002) JP

(71) 出願人 (米国を除く全ての指定国について): 東京エレクトロン株式会社 (TOKYO ELECTRON LIMITED) [JP/JP]; 〒107-8481 東京都港区赤坂五丁目3番6号 Tokyo (JP).

(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 湯浅 光博 (YUASA, Mitsuhiko) [JP/JP]; 〒107-8481 東京都港区赤坂五丁目3番6号 東京エレクトロン株式会社内 Tokyo (JP).

(74) 代理人: 青木 篤, 外 (AOKI, Atsushi et al.); 〒105-8423 東京都港区虎ノ門三丁目5番1号 虎ノ門37森ビル 青木特許法律事務所 Tokyo (JP).

(81) 指定国 (国内): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

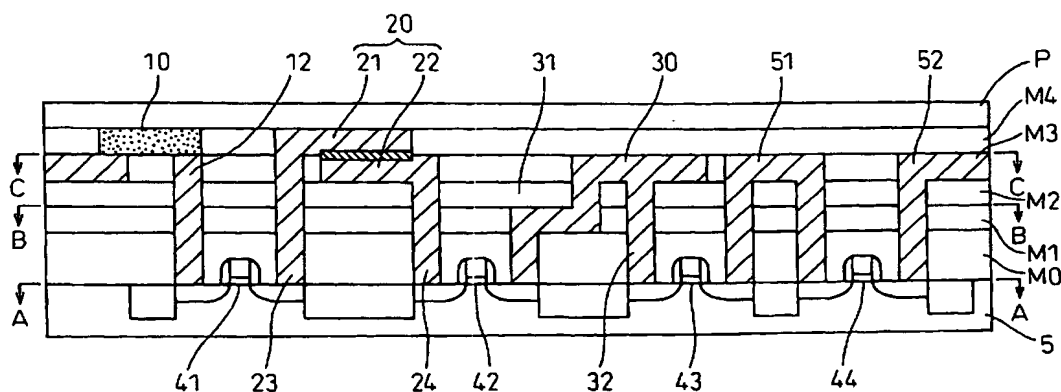
(84) 指定国 (広域): ARIPO 特許 (GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア特許 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ特許 (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR), OAPI 特許 (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:  
— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(54) Title: MEMS ARRAY, MANUFACTURING METHOD THEREOF, AND MEMS DEVICE MANUFACTURING METHOD BASED ON THE SAME

(54) 発明の名称: MEMSアレイとその製造方法及びそれに基づくMEMSデバイスの製造方法



(57) Abstract: An MEMS array is formed by integrating a plurality of elements such as a resistor (10), a capacitor (20), and a coil (30) and switches (41 to 44) connecting the elements on a substrate (1), so that each of the elements can be connected arbitrarily. The switches (41 to 44) may be transistor switches or mechanical switches. An MEMS device can be manufactured by substituting wire shortcircuit/open for ON/OFF of the switches (41 to 44) of the MEMS array.

(57) 要約: 例えば抵抗 (10)、コンデンサ (20)、コイル (30) のような複数の素子及び各素子を接続するスイッチ 41 ~ 44 を基板 1 上に集積して、各素子を任意に結線可能として MEMS アレイを形成する。スイッチ 41 ~ 44 は、トランジスタスイッチ又は機械的なスイッチを用いることができる。この MEMS アレイのスイッチ 41 ~ 44 のオンオフを配線のショート/オープンで代替して MEMS デバイスを製造することができる。

## 明 細 書

MEMS アレイとその製造方法及びそれに基づくMEMS デバイスの製造方法

## 技術の分野

本発明は、MEMS (Micro Electro-Mechanical System) を利用する技術に関し、特に複数の回路素子とスイッチを備えるマイクロマシンないしMEMS アレイに関する。

## 背景技術

MEMS は、電子回路だけではなくセンサやアクチュエータのような異なる要素をSi等の基板上に集積化し高度な機能をもたせるもので、大きな発展が期待されている。従来、MEMS デバイスを製造する技術としては、(1) MEMS の技術を利用して作られたセンサなどの個別素子を基板上に実装して製造すること、また(2) 専用のMEMS 回路として個別に製造すること等が知られている。

しかしながら、上記(1)の場合は、個別素子の製造にMEMS を利用してはいても、実装する際の制約から大幅な小型化が困難であり、素子性能の限界と実装面積の削減に限界があり、また、配線遅延の問題もある。また、上記(2)の場合は、専用品であることから、(1)と比較して開発時間の増大や開発費の増加が避けられない。

## 発明の開示

本発明は、これらの問題点に鑑み、小型化が可能であるとともに

、開発時間や開発費を削減できるプログラマブルなMEMSアレイを提供すること及びこれを用いてMEMSデバイスを製造する方法を提供することを目的とする。

本発明は、上記の課題を解決するために、複数の素子及び各素子を接続するスイッチを基板上に配置して各素子を任意に配線可能としたMEMSアレイを提供するものである。

また、本発明のMEMSアレイは、少なくともその1層に複数の素子を設け、他の層にスイッチを設けて製造される。本発明のMEMSアレイのスイッチはトランジスタで構成しても、機械的スイッチで構成してもよい。

本発明によれば、スイッチのオンオフを選択するだけで所望の回路を構成することができ、多様なニーズに応えることができる。

また、本発明によれば、MEMSアレイに基づいてMEMSデバイスを製造することができる。すなわち、MEMSアレイの各スイッチの接続状態を決定して所望の回路を構成し、その後、スイッチの接続状態に応じて配線を行うステップを採用してMEMSデバイスを製造する。

このようにすれば、スイッチの接続状態を維持するための電力を削減することができるMEMSデバイスを量産することができる。

## 図面の簡単な説明

本発明を添付の図面を参照しながら、以下に説明する。

図1は、MEMSアレイの第1実施形態の断面を示す断面図、

図2は、MEMSアレイの第1実施形態の外観を示す図、

図3は、MEMSアレイの第1実施形態の等価回路を示す図、

図4は、図1のA-A断面図であり、MEMSアレイの第1実施形態のスイッチのソースドレインの配置を示す平面図、

図 5 は、図 1 の B-B 断面図であり、MEMS アレイの第 1 実施形態の M1 層の配線を示す平面図、

図 6 は、図 1 の C-C 断面図であり、MEMS アレイの第 1 実施形態の M3 層の配線を示す平面図、

図 7 は、MEMS アレイの第 1 実施形態のスイッチのオンオフ例を示す図、

図 8 は、MEMS アレイを用いて製造された静的回路である MEMS デバイスの例を示す図、

図 9 は、MEMS アレイを用いて製造された動的回路である MEMS デバイスの例を示す図、

図 10 は、MEMS アレイの第 2 実施形態を示す図、

図 11 は、MEMS アレイの第 2 実施形態の製造工程 (a) であって、LSI 部までの製造工程を示す図、

図 12 は、MEMS アレイの第 2 実施形態の製造工程 (b) であって、絶縁膜成膜工程を示す図、

図 13 は、MEMS アレイの第 2 実施形態の製造工程 (c) であって、コンデンサ下部電極及びビアの形成前の工程を示す図、

図 14 は、MEMS アレイの第 2 実施形態の製造工程 (d) であって、コンデンサ下部電極及びビアの形成工程を示す図、

図 15 は、MEMS アレイの第 2 実施形態の製造工程 (e) であって、絶縁膜成膜工程を示す図、

図 16 は、MEMS アレイの第 2 実施形態の製造工程 (f) であって、ビアの形成前の段階を示す図、

図 17 は、MEMS アレイの第 2 実施形態の製造工程 (g) であって、ビアの形成工程を示す図、

図 18 は、MEMS アレイの第 2 実施形態の製造工程 (h) であって、コンデンサと上部電極とコイル形成前の工程を示す図、

図 1 9 は、MEMS アレイの第 2 実施形態の製造工程 ( i ) であ  
って、コンデンサと上部電極とコイルの形成工程を示す図、

図 2 0 は、MEMS アレイの第 2 実施形態の製造工程 ( j ) であ  
って、絶縁膜成膜工程を示す図、

図 2 1 は、MEMS アレイの第 2 実施形態の製造工程 ( k ) であ  
って、ビアの形成前の段階を示す図、

図 2 2 は、MEMS アレイの第 2 実施形態の製造工程 ( l ) であ  
って、ビアの形成工程を示す図、

図 2 3 は、MEMS アレイの第 2 実施形態の製造工程 ( m ) であ  
って、絶縁膜成膜工程を示す図、

図 2 4 は、MEMS アレイの第 2 実施形態の製造工程 ( n ) であ  
って、各素子の入出力部とスイッチ駆動用電極の形成前工程を示す  
図、

図 2 5 は、MEMS アレイの第 2 実施形態の製造工程 ( o ) であ  
って、各素子の入出力部とスイッチ駆動用電極の形成工程を示す図  
、

図 2 6 は、MEMS アレイの第 2 実施形態の製造工程 ( p ) であ  
って、Cu キャップ層の形成工程を示す図、

図 2 7 は、MEMS アレイの第 2 実施形態の製造工程 ( q ) であ  
って、抵抗用薄膜の成形前工程を示す図、

図 2 8 は、MEMS アレイの第 2 実施形態の製造工程 ( r ) であ  
って、抵抗用薄膜の成膜工程を示す図、

図 2 9 は、MEMS アレイの第 2 実施形態の製造工程 ( s ) であ  
って、抵抗素子の形成工程を示す図、

図 3 0 は、MEMS アレイの第 2 実施形態の製造工程 ( t ) であ  
って、パッシベーション成膜工程を示す図、

図 3 1 は、MEMS アレイの第 2 実施形態の製造工程 ( u ) であ

って、スイッチ上部用エッチング工程を示す図、

図 3 2 は、MEMS アレイの第 2 実施形態の製造工程 (v) であって、スイッチ導通部エッチング工程を示す図、

図 3 3 は、MEMS アレイの第 2 実施形態の製造工程 (w) であって、スイッチ作成工程を示す図、

図 3 4 は、MEMS アレイの第 2 実施形態の製造工程 (x) であって、スイッチ上部リリース工程を示す図、

図 3 5 は、MEMS アレイの第 2 実施形態の製造工程 (y) であって、スイッチ上部リリース工程を示す図、

図 3 6 は、MEMS アレイの第 2 実施形態に用いられる静電スイッチの他の例を示す図である。

## 発明の実施の形態

### (第 1 の実施形態)

図 1 ～ 6 を参照して、本発明の第 1 の実施形態における任意結線可能なプログラマブルな MEMS アレイについて説明する。

図 1 は、本例の任意に結線可能な MEMS アレイの部分断面図であり、図 2 に、本発明の MEMS アレイの全体の概略図を示す。図 3 は、図 1 に断面が示された本例の等価回路を示す図である。

図 2 の MEMS アレイの全体概略図に見られるように、本発明の任意に結線可能な MEMS アレイは、半導体ウェハプロセスを利用して、たとえば  $10\text{ mm}^2$  の Si チップ上に約 30 万個の任意結線可能な回路要素を集積したもので、図 3 に示すように、本例では、 $10\text{ }\mu\text{ m}$  平方の領域 T に、3 個の LCR 回路が配置されて 1 回路が形成されている。

図 1 に示す断面図は、図 3 に示す等価回路の太線で示した LCR 回路の断面である。

図 1 に示されるように、本例の MEMS アレイは、基板 S にトランジスタ 41 ~ 44 のソースドレイン領域が形成され、その上に配線層 M0 ~ M4 が形成され、その上にパッシベーション層 P が設けられるものである。そして、LCR 回路は、配線層 M0 ~ M1 に形成された抵抗 10、コンデンサ 20、コイル 30 及びそのビア配線が、基板 S に形成された 4 個のトランジスタ (FET) からなるスイッチ 41 ~ 44 で直列に結線可能に構成されている。

なお、図 1 においては、スイッチ 41 等を構成するトランジスタを駆動するための配線は省略されている。

本例では、LCR 各々 3 個が隣接する素子同士でスイッチ 41 ~ 44 を含む多数のスイッチにより結線可能であり、最下部には、各素子をバイパスできるように各素子に並列に配置されるスイッチ 45 が設けられ、各素子の任意の組合せが可能となっている。

すなわち、本例の LCR 回路から構成される MEMS アレイは、複数の抵抗、コンデンサ及びコイルを平面的 (2 次元) に規則的に並べ、各素子間はスイッチを介して任意に結線可能なものである。

図 4 には、図 1 の A-A 線で切った基板 S の上面図を示し、図 5 には、B-B 線で切った配線層 M1 の上面図を示し、図 6 には、C-C 線で切った配線層 M3 の上面図を示す。

図 4 に、基板 S に設けられるスイッチを構成するトランジスタのソースドレインの配置の概略を示す。スイッチ 41 ~ 44 に対応するソースドレインの配置を同一の番号で示してある。

配線層 M0 は、トランジスタのゲート電極が形成され、またソースドレインへの配線の一部が形成された配線層である。配線 (ビア) は、スイッチ 41 に対する抵抗 10 への配線 12 とコンデンサ 20 の上部電極 21 への配線 23、スイッチ 42 に対するコンデンサ 20 の下部電極 22 への配線 24 とコイル 30 に対する配線 31

、 3 2 及びスイッチ 4 3 , 4 4 に対する配線 5 1 及び 5 2 が形成されている。

配線層 M 1 は、図 5 に示され、抵抗 1 0 の一方の配線部 1 2、コンデンサ 2 0 の上部電極 2 1 への配線 2 3 及び下部電極 2 2 への配線 2 4、コイル 3 0 の配線 3 1 及び 3 2、スイッチ 4 3 , 4 4 の配線 5 1 及び 5 2 が配置されている。配線 1 2 , 2 3 , 2 4 , 3 1 , 3 2 は並列接続するためのスイッチにつながる配線も兼ねる。

配線層 M 2 は、他の配線層と同様に各素子とスイッチとの配線の一部が形成された配線層である。配線としては、配線層 M 0 と同様であるので、説明は省略する。

配線層 M 3 は、図 6 に示され、抵抗 1 0 の配線部 1 1 及び 1 2、コンデンサ 2 0 の上部電極への配線 2 3、コンデンサ 2 0 の下部電極 2 2、コイル 3 0 及びスイッチ 4 3 , 4 4 への配線部 5 1 , 5 2 が配置されている。配線 1 1 , 5 1 は並列接続の配線を兼ねる。下端の配線（番号なし）は迂回用の配線である。

配線層 M 4 には、抵抗 1 0 が設けられ、コンデンサ 2 0 の上部電極 2 1 が設けられ、最上部にはパッシベーション層 P が設けられる。

なお、この層の構成は説明のための単なる一例であって、層の数等層構成が限定されるものではなく、素子の種類も L C R に限定されない。素子は、高周波フィルタ回路等所望の電気電子回路の構成要素となり得る回路であればよく、その形状配置等適宜適切なものが選択可能である。

本例の M E M S アレイの製造方法は、S i のウエハプロセスと同様であり、トランジスタスイッチを形成する基板 1 上に配線層を複数形成するものである。例えば受動素子の形成も導電層の材料により適宜の形状とすることができることなど、適宜公知のウエハプロ



セスを用いて製造することができる。

このように、本例のMEMSアレイは、複数の回路素子がスイッチを介して適宜結線可能に配置されているから、設計者の設計に応じて各スイッチのオンオフを決定するだけで、自由に所望の回路を組むことができる。

次に、本発明のMEMSアレイを用いて回路を組み、その後MEMSデバイスとして量産する場合などに用いられるMEMSデバイスの製造方法について説明する。

図1に示したLCR回路を例にする。図7は、図1のMEMSアレイを用いて組まれた回路におけるスイッチ41～44のオンオフの状態を示す図である。

すなわち、図7には、本発明によるMEMSアレイを用い、スイッチのオンオフを選択して所望の回路とした結果が示されている。状態(1)は回路動作中にスイッチングを行うことのない静的回路の例であり、状態(2)は回路動作中にスイッチングを行う場合がある動的回路の例である。

スイッチの状態(1)では、スイッチ41がON、スイッチ42がOFF、スイッチ43がON、スイッチ44がONとなっている。この状態は回路動作中に変化しない。したがって、常にONとなるスイッチについては、ゲート電圧を印加してオン状態を維持する必要がある、電力消費を考えると不経済である。

そこで、図8に示すように、基板Sにトランジスタスイッチを形成することなく、配線層M0をスイッチの状態のオンオフに対応する配線層M0'に代えるものである。すなわちスイッチ41、43及び44のスイッチONの場合には配線60を行って結線(ショート)し、スイッチ42のスイッチOFFの場合は配線しない(オープン)。このようにすると電力を節減できるとともに故障のほとんど

起こらない製品とすることができる。

MEMSデバイスの製造工程についてみても、専用マスクを1枚を追加すれば、MEMSアレイの製造工程を利用でき、さらにトランジスタ形成工程を省略でき、基板Sも低コストなものが使用できるので、低コストで量産品を製造できる。

スイッチの状態(2)は、スイッチ43が切換え可能なスイッチとして用いられる点を除き、状態(1)と同じである。本例は、状態(1)の場合とは異なり、スイッチをすべて配線のショート／オープンに代えることはできない。

しかしながら、図9に示すように、配線層M0層の上に配線層M1aを追加して、スイッチ41、44のようにON状態を維持する場合はスイッチ41、44を短絡するように配線60を設け(ショート)、スイッチ42のようにOFFの場合は配線することなく回路を遮断し(オープン)、トランジスタのゲートに電圧をかけないようにし、スイッチング動作をするスイッチ43に対しては、従前の配線を維持するようにビアを設けて上下のコンタクトをとるようにすればよい。

このようにすれば、常時オンのトランジスタについてはオン状態を維持するために電圧を印加する必要がなく、消費電力を節減することが可能で、また、製造工程においてもMEMSアレイの製造工程に配線層M1aを追加するだけである。

#### (第2の実施形態)

第1の実施形態では、隣接する各素子を接続するスイッチはトランジスタで構成されていたが、本例は、このスイッチを機械的なスイッチである静電スイッチで構成するものである。静電スイッチを動作させるためには駆動用トランジスタを必要とするが、機械的なスイッチはトランジスタスイッチに比較してオンオフに際して回路

特性が変化しないので、MEMSアレイを用いて回路を組む際には有利である。

図10に、本例のMEMSアレイの基板を省略した部分断面図を示す。第1の実施形態と同一機能を有する要素には同一の符号を付した。

図10には、基板の上の配線層M0～M4及びパッシベーション層Pが示されている。なお、各層間には窒化Si等からなるCuキャップ層Cが設けられ、配線層の銅が絶縁膜中に拡散してデバイス不良を起こすことを防止している。最外層に片持ち式の可動部を有する静電スイッチ41'～43'が配置されている。スイッチ駆動部71～73は図示しない基板に設けられたトランジスタに配線ビア74～76を介して接続されている。静電スイッチ41'～43'はスイッチ駆動部71～73に所定の電位を与えると、対応する可動片が吸引されてその接点を閉じるものである。図示していないが、スイッチの保護、ゴミの侵入防止のためにカバーを付けることもある。

また、第1の実施形態と同様に、抵抗10、コンデンサ20及びコイル30の各素子が形成され、抵抗10、スイッチ41'、コンデンサ20、スイッチ42'、コイル30、スイッチ43'が直列に接続可能であり、図10の断面図に示されていない他の隣接する素子に対してもスイッチを介して接続可能に構成され、各素子は任意に結線可能となっている。

以下、図11～35を参照して、その製造工程の概要を説明する。なお、例えばCuキャップ層の形成など説明を省略した工程もある。

まず、図11～14には、配線層M1の形成までの工程(a)～(d)を示す。

図 1 1 の工程 (a) では、図示しない基板に静電スイッチ駆動のためのトランジスタを形成した後、配線のためのビア 7 4 ~ 7 6 を設けて配線層 M 0 とする。

図 1 2 の工程 (b) で絶縁膜を成膜し、図 1 3 の工程 (c) でコンデンサ 2 0 の下部電極 2 2 及ビアを形成するために絶縁膜をエッチングし、図 1 4 の工程 (d) でコンデンサ下部電極の形成及びビア配線を行い、配線層 M 1 を形成する。

図 1 5 ~ 1 7 には、配線層 M 2 のビアの形成までの工程 (e) ~ (g) が示されている、図 1 5 の工程 (e) で絶縁膜を成膜し、図 1 6 の工程 (f) でビアの形成のために絶縁膜のエッチングを行い、図 1 7 の工程 (g) で配線層 M 2 のビア 7 4 ~ 7 6 を形成する。

図 1 8 の工程 (h) では、配線層 M 2 のコンデンサ上部電極とコイルの形成前のエッチングが示されている。これを先の工程でビア 7 4 ~ 7 6 と同時に形成しなかったのは、Cu キャップ層をコンデンサの誘電体として利用するために残す必要があったからである。次いで、図 1 9 の工程 (i) で、コンデンサ上部電極 2 1 とコイル 3 0 が形成される。

図 2 0 に示した工程 (j)、図 2 1 及び 2 2 にそれぞれ示した工程 (k)、(l) で、配線層 M 3 のビア配線が形成される。配線層 M 3 では、スイッチ駆動用配線 7 4 ~ 7 6 とともに、コンデンサ 2 0 への配線 2 3, 2 4 及びコイル 3 0 への配線 3 1, 3 2 が形成される。

図 2 3 に示した工程 (m)、図 2 4 及び 2 5 にそれぞれ示した工程 (n)、(o) で、配線層 M 4 が形成される。すなわち図 2 3 の工程 (m) で絶縁膜を成膜し、図 2 4 の工程 (n) で抵抗 1 0 (図 1 0)、コンデンサ 2 0 及びコイル 3 0 の入出力部とスイッチ駆動用電極の形成部分をエッチングし、図 2 5 の工程 (o) で、抵抗 1

0（図10）の入出力部11、12、コンデンサ20の入出力部25、26及びコイル30の入出力部33、34とスイッチ駆動用電極71～73等を形成する。

図26～29に抵抗10の形成工程を示す。まず図26の工程（p）で、Cuキャップ層Cを成膜する。図27の工程（q）では、Cuキャップ層Cをエッチングして抵抗用薄膜形成部分を作成する。図28の工程（r）では、抵抗用薄膜Rを全面に成膜し、図29の工程（s）で抵抗として用いる部分だけを残してエッチングし、抵抗10を形成する。

図30～35には、保護のためのパッシベーション膜Pの成膜から、スイッチを形成する工程を示す。

図30の工程（t）では、上面全面に保護のためのパッシベーション膜Pを成膜する。図31の工程（u）では、スイッチ41'～43'上部を設けるためのエッチングを行い、図32の工程（v）で、スイッチ41'～43'の導通部を設けるためにエッチングを行う。次いで図33の工程（w）でスイッチを作成し、図34の工程（x）で、スイッチ41'～43'上部をリリースし、図35の工程（y）でスイッチ41'～43'下部をリリースすることにより完成する。

このようにして、抵抗10、コンデンサ20、コイル30がスイッチ41'～43'を介して直列に結線可能となる。このRCL直列回路が平面（2次元）的に多数形成される点では、第1実施形態と同様で、スイッチのオンオフを選択して、所望の回路を構成できるものである。

本例は、静電スイッチを駆動するためのトランジスタスイッチを必要とするから、第1実施形態と比較すると静電スイッチを設ける工程が増加するが、静電スイッチを用いることの回路特性の安定化

の利点に加えて、静的回路又は動的回路のMEMSデバイスを製造する上で次の利点がある。

すなわち、本例のMEMSアレイを用いて実際の回路を組み、スイッチが常にオンないしオフとなる静的回路で構成されるMEMSデバイスを製造する場合、スイッチが最上層に形成されているために、製造の最終工程であるスイッチ形成工程に代えて、配線層を形成する工程を採用すれば済む。この点では第1の実施形態よりも製造容易である。スイッチ駆動用トランジスタ、スイッチ駆動用電極を省略し、上記配線層を形成する前の状態でストックしておけば低コスト、短納期も実現できる。

また、一部のスイッチを残す動的回路をMEMSデバイスとして製造する場合にも、必要なスイッチはそのまま残し、常にオン又はオフとなるスイッチ部分については、例えば、図32に示したスイッチ導通部エッチングの際パッシベーション膜のエッチング個所を選択することにより、短絡ないし遮断の回路を形成することができ、やはり第1の実施例に比べて容易である。スイッチ形成前まではMEMSアレイと全く同じ構造であるため、MEMSデバイス専用の在庫を持つ必要が無く、低コスト化が可能となる。

なお、本例の場合、スイッチとして、片持ち式の可動電極を備え、静電気力により吸着してオンになる静電スイッチを用いたが、図36に示す静電スイッチ90を用いることもできる。これは、駆動電極91に電圧を印加することにより可動電極92が静電気力により吸着して短絡され、オフとなるものである。また、これ以外にも適宜のスイッチを採用することができる。

また、静電スイッチは配線層の上部に配置したが、配線層に設けてもよい。

さらに、第1及び第2の実施形態のいずれにおいても、複数の素

子の配置は3次元に配置してもよいし、ランダムに配置してもよい。

本発明のMEMSアレイの基板には、他の信号処理用の半導体回路を作成配置したものであってもよいし、また半導体基板に配置される半導体回路を3次元構造としてもよい。さらにMEMSデバイスが収容される同一パッケージにマイクロプロセッサ、フラッシュメモリ、EEPROM等の信号処理に好適な半導体回路ないし装置を収容して製品としてもよい。このような他の半導体回路ないし装置を付加することにより、さらに回路構成の自由度が高められ、所望の高性能MEMS素子を得ることができる。

以上のとおり、本発明の任意結線可能なMEMSアレイはプログラマブルで汎用性があるので、専用マスクや専用のプロセスが不要となり、配線状態を指定するだけで、所望のMEMSデバイスが低コストで開発できる。再試作もスイッチのオンオフを再設定するだけで可能である。また、スイッチのオンオフ固定部を配線のショート／オープンで代替して製造できるので、セミカスタム品での短納期・低消費電力化を可能とする。量産品としても、低消費電力で故障の少ない製品を得ることができる。また、MEMSアレイで事前テストを行っておけば、ほとんど同一の回路であるため、MEMSデバイス製造後のテストでスペックアウトすることはほとんどなく、デバイスの検証期間が短縮できる。

## 請 求 の 範 囲

1. 複数の素子及び前記各素子を接続するスイッチを備え、各素子を任意に配線可能としたことを特徴とするMEMSアレイ。
2. 前記各素子を接続するスイッチは半導体スイッチである請求項1に記載のMEMSアレイ。
3. 前記各素子を接続するスイッチは機械的スイッチである請求項1に記載のMEMSアレイ。
4. 基板と配線層を備え、前記基板には前記スイッチが形成され、前記配線層には前記スイッチを介して接続される複数の素子が設けられる請求項1に記載のMEMSアレイ。
5. 前記基板には前記スイッチを駆動する駆動部が設けられる請求項4に記載のMEMSアレイ。
6. 前記基板にはさらに信号処理用の半導体回路が設けられた請求項5に記載のMEMSアレイ。
7. 前記半導体回路は3次元構造を有する請求項6に記載のMEMSアレイ。
8. 基板と配線層を備え、前記配線層には複数の素子及び前記各素子を接続するスイッチが設けられる請求項1に記載のMEMSアレイ。
9. 前記基板には前記スイッチを駆動する駆動部が設けられる請求項8に記載のMEMSアレイ。
10. 前記基板にはさらに信号処理用の半導体回路が設けられた請求項9に記載のMEMSアレイ。
11. 前記半導体回路は3次元構造を有する請求項10に記載のMEMSアレイ。
12. 基板と配線層を備え、前記配線層には複数の素子が設けら



れ、前記各素子を接続するスイッチは配線層の上に設けられる請求項 1 に記載の MEMS アレイ。

1 3. 前記基板には前記スイッチを駆動する駆動部が設けられる請求項 1 2 に記載の MEMS アレイ。

1 4. 前記基板にはさらに信号処理用の半導体回路が設けられた請求項 1 3 に記載の MEMS アレイ。

1 5. 前記半導体回路は 3 次元構造を有する請求項 1 4 に記載の MEMS アレイ。

1 6. 同一パッケージに半導体回路を組み込んでパッケージされた請求項 1 に記載の MEMS アレイ。

1 7. 基板上に配線層を備える MEMS アレイの製造方法であって、

前記基板内に複数のスイッチを形成するステップと、

前記配線層に前記複数のスイッチを介して接続される複数の素子を形成するステップを有することを特徴とする MEMS アレイの製造方法。

1 8. 基板上に配線層を備える MEMS アレイの製造方法であって、

前記配線層に複数の素子を形成するステップと、

前記配線層の上に前記複数の素子を互いに接続する複数のスイッチを設けるステップを有することを特徴とする MEMS アレイの製造方法。

1 9. 基板上に配線層を備える MEMS アレイの製造方法であって、

前記基板にスイッチ駆動部を形成するステップと、

前記配線層に複数の素子を形成するステップと、

前記配線層の上に前記複数の素子を互いに接続する複数のスイッ

チを設けるステップを有することを特徴とするMEMSアレイの製造方法。

20. 複数の素子及び前記各素子を接続するスイッチを備えるMEMSアレイと同一配置の複数の素子を有するMEMSデバイスを製造する製造方法であって、

前記MEMSアレイの各スイッチの接続状態を決定するステップと、

前記各スイッチの接続状態に応じて配線する配線層を形成するステップを備えることを特徴とするMEMSデバイスの製造方法。

21. 複数の素子及び前記各素子を接続するスイッチを備えるMEMSアレイと同一配置の複数の素子を基板上に有するMEMSデバイスを製造する製造方法であって、

前記MEMSアレイの各スイッチの接続状態を決定するステップと、

前記MEMSデバイスの基板上に前記スイッチの接続状態に応じて配線する配線層を形成するステップ

前記配線層の上にMEMSアレイと同一配置の複数の素子を形成するステップを有することを特徴とするMEMSデバイスの製造方法。

22. 複数の素子及び前記各素子を接続するスイッチを備えるMEMSアレイと同一配置の複数の素子を基板上に有するMEMSデバイスを製造する製造方法であって、

前記MEMSアレイの各スイッチの接続状態を決定するステップと、

MEMSデバイスの基板内にスイッチを設けるステップと、

MEMSデバイスの基板上に前記スイッチの接続状態に対応して、前記スイッチを短絡、遮断ないし配線する追加の配線層を設ける

ステップと、

前記追加の配線層の上に前記MEMSアレイと同一配置の複数の素子を配置する配線層を設けるステップ

を備えることを特徴とするMEMSデバイスの製造方法。

23. 複数の素子及び前記各素子を接続するスイッチを備えるMEMSアレイと同一配置の複数の素子を基板上に有するMEMSデバイスを製造する製造方法であって、

前記MEMSアレイの各スイッチの接続状態を決定するステップと、

前記MEMSアレイと同一配置の複数の素子を設ける配線層を形成するステップと、

各スイッチの接続状態に基づいて、前記配線層の上にスイッチないし配線を選択形成するステップを備えることを特徴とするMEMSデバイスの製造方法。

FIG.1

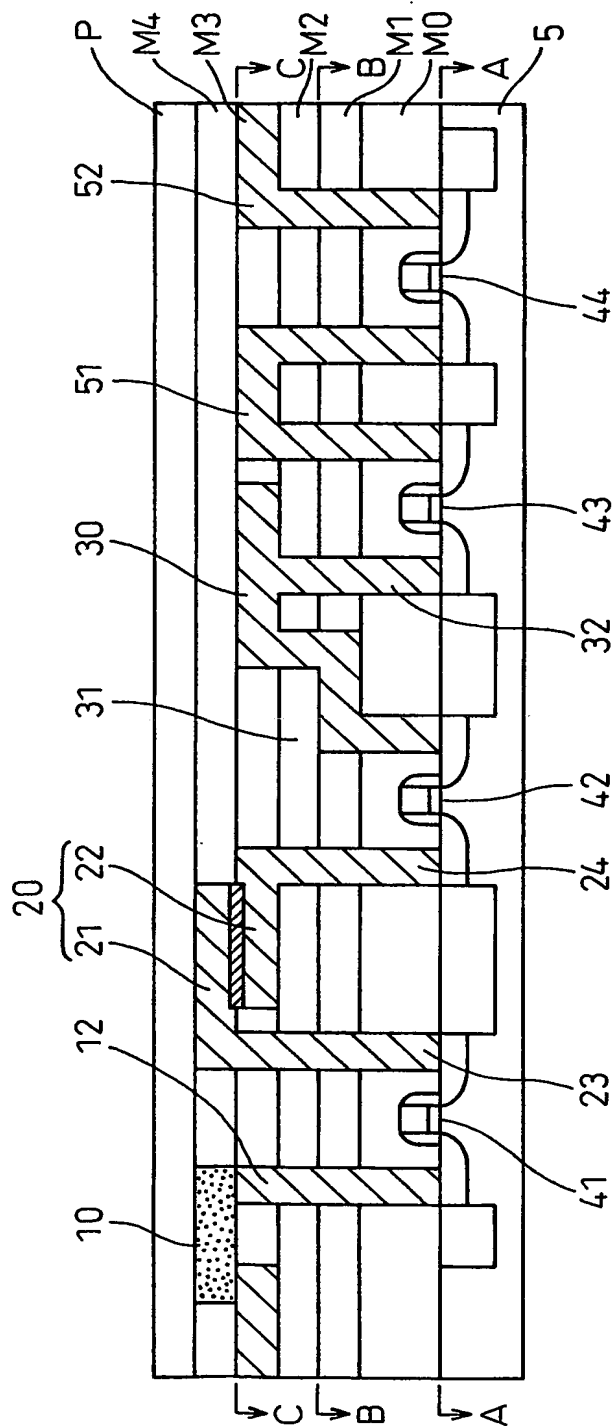


FIG. 2

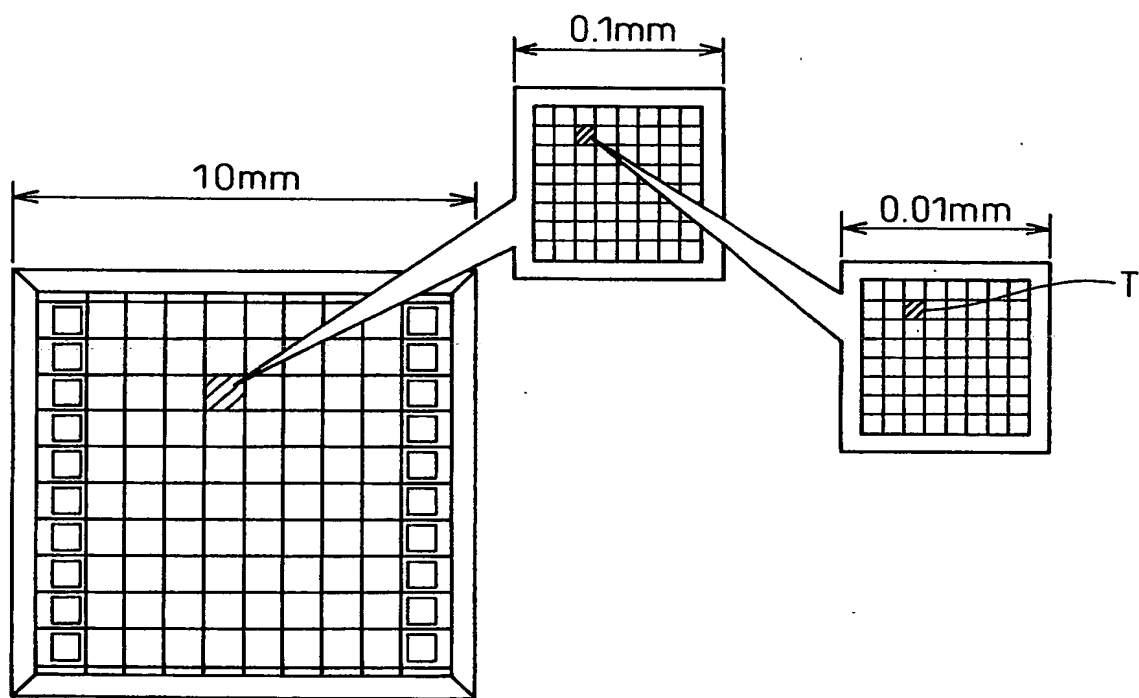


FIG. 3

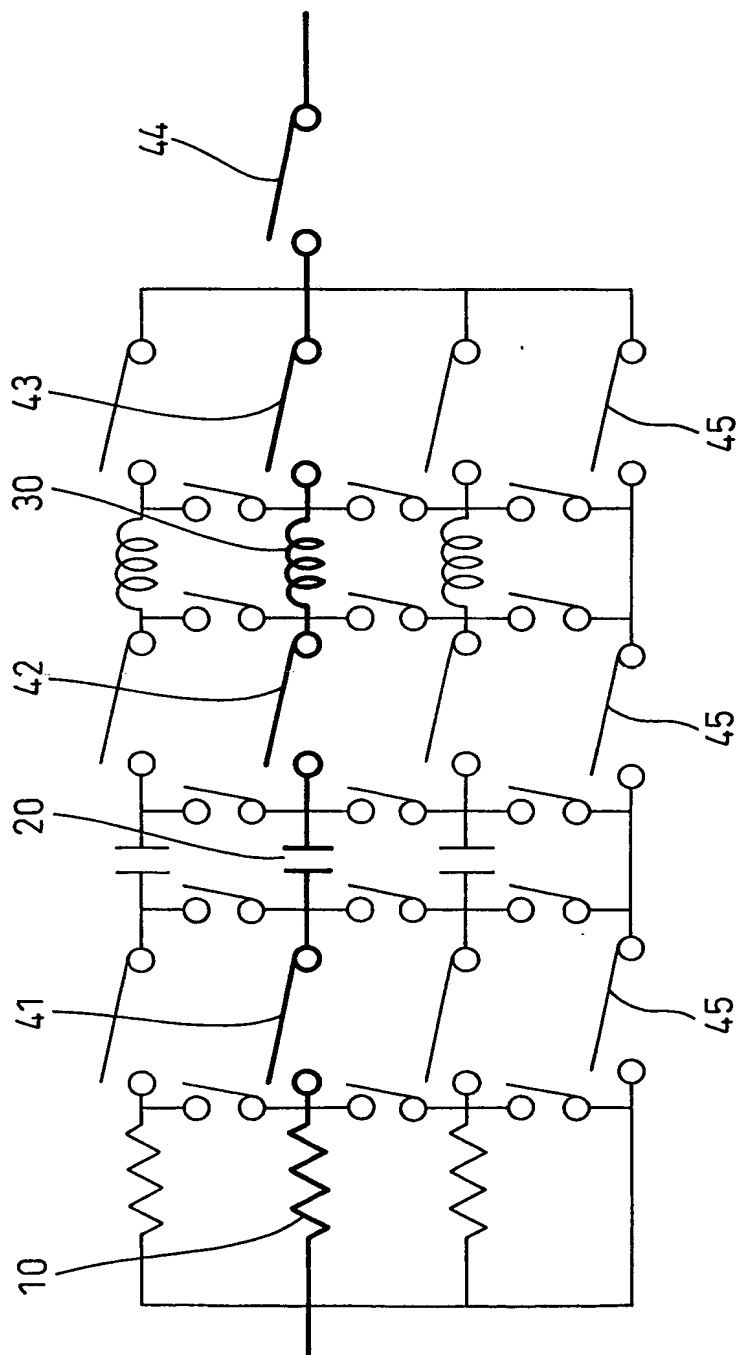


FIG. 4

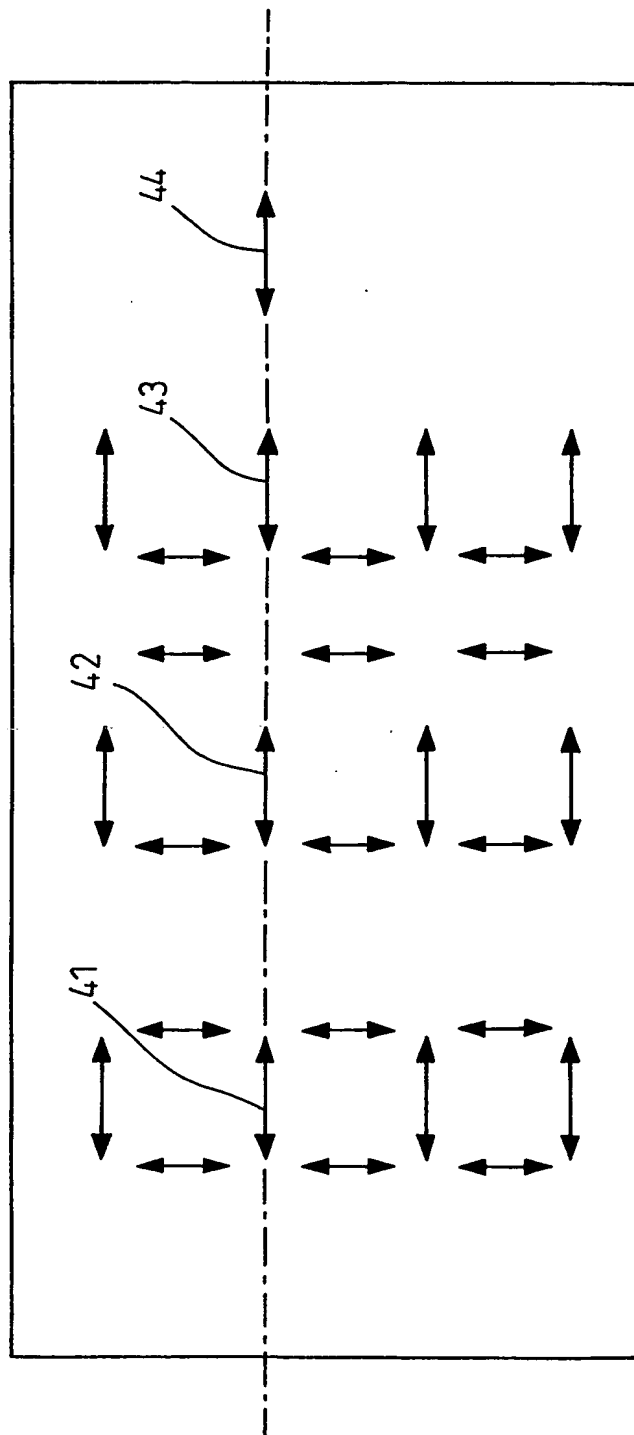
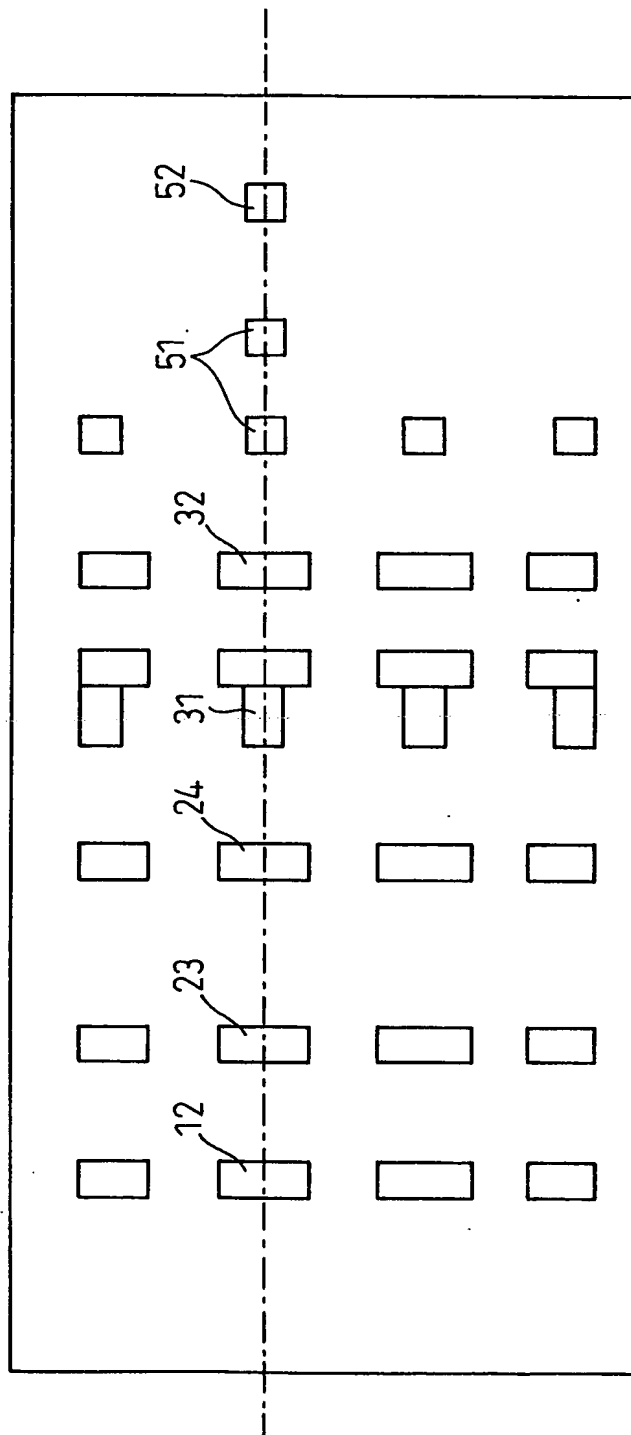


FIG. 5





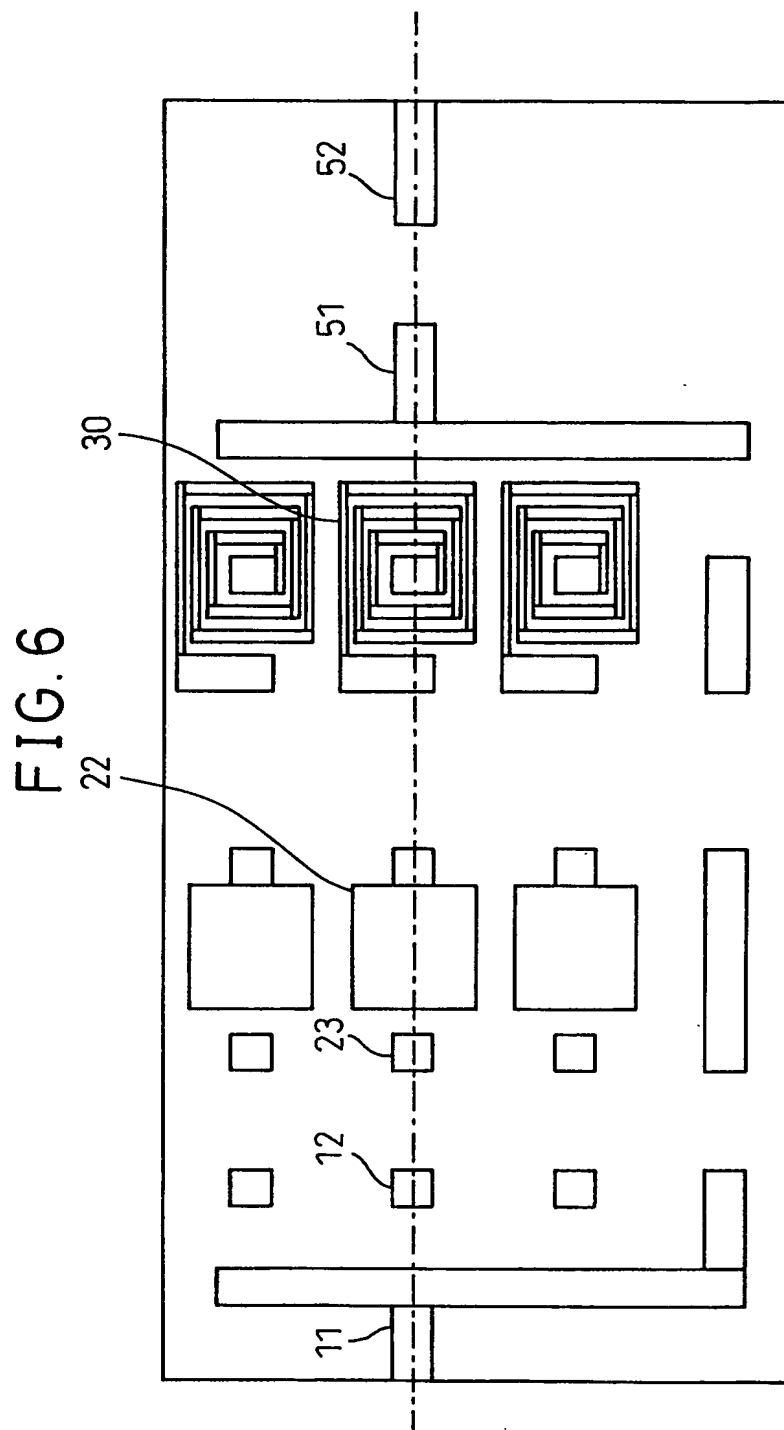


FIG. 7

	スイッチ41	スイッチ42	スイッチ43	スイッチ44
状態 (1)	ON	OFF	ON	ON
状態 (2)	ON	OFF	SWITCH	ON



FIG. 9

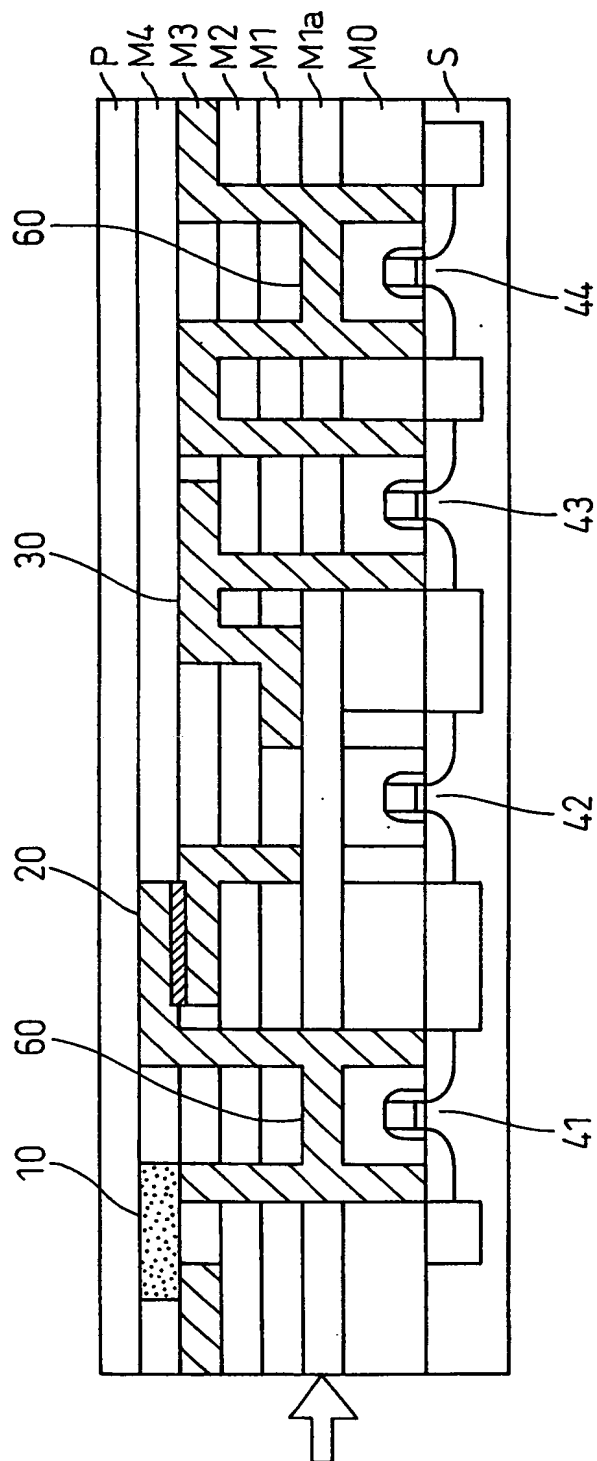




FIG.11



FIG.12

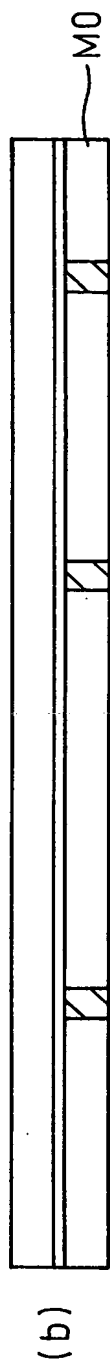


FIG.13



FIG.14

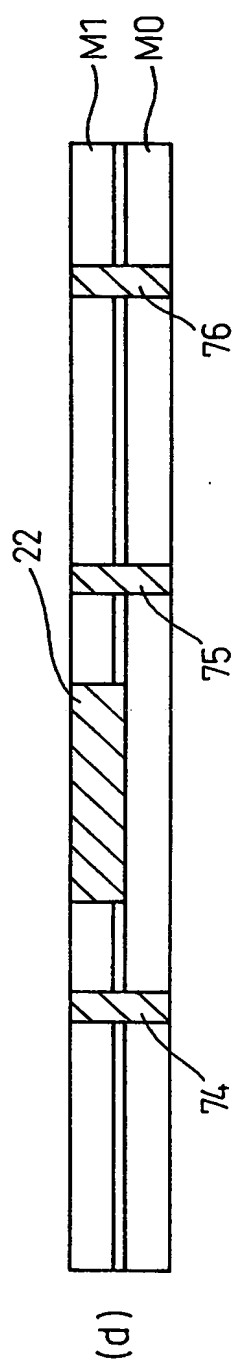


FIG.15

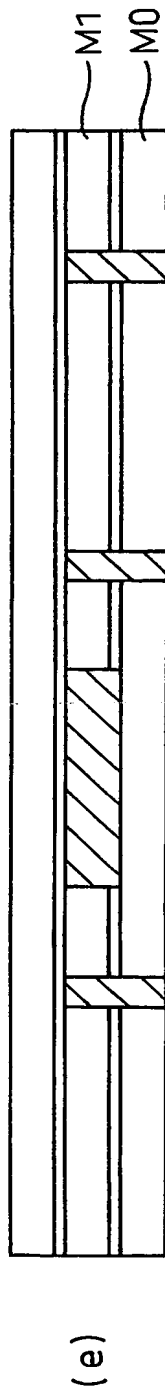


FIG.16

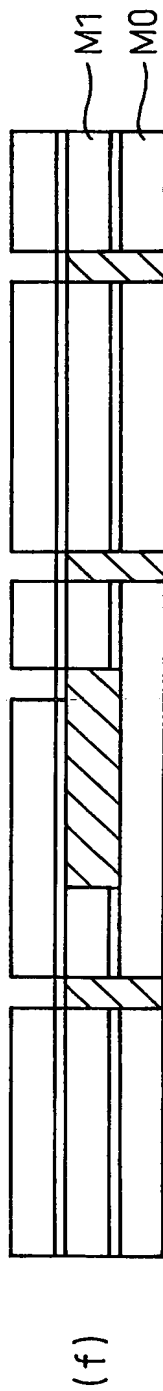


FIG.17

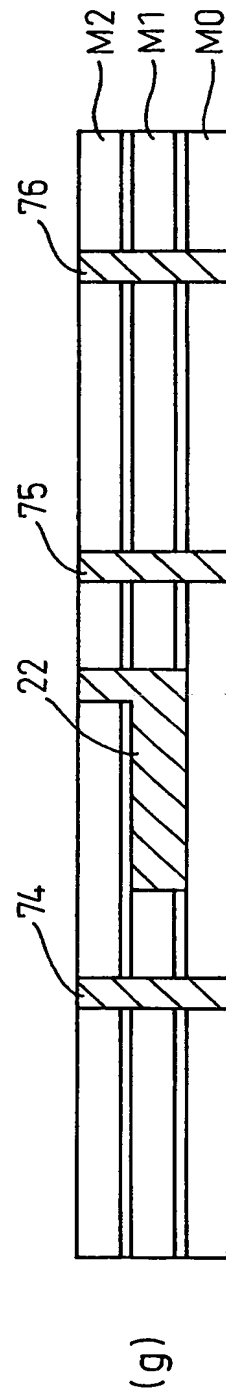


FIG.18

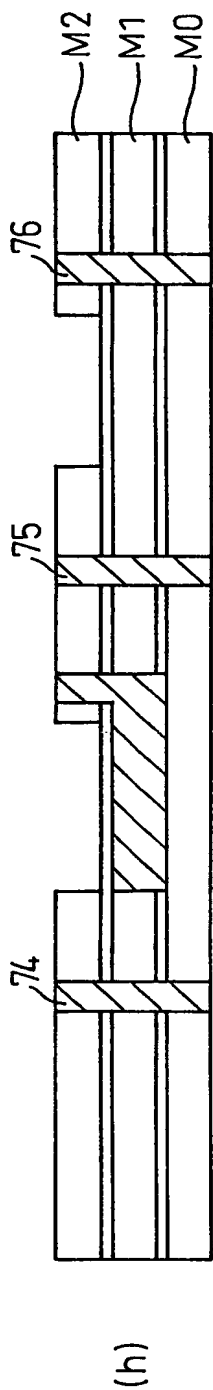


FIG.19

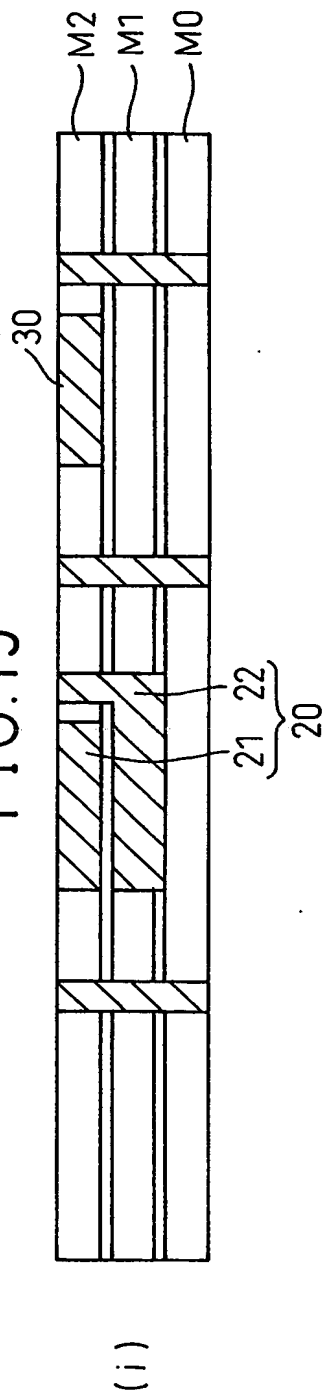
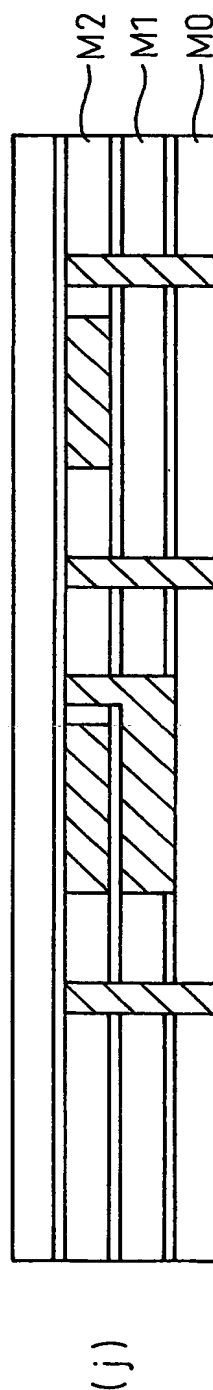


FIG.20





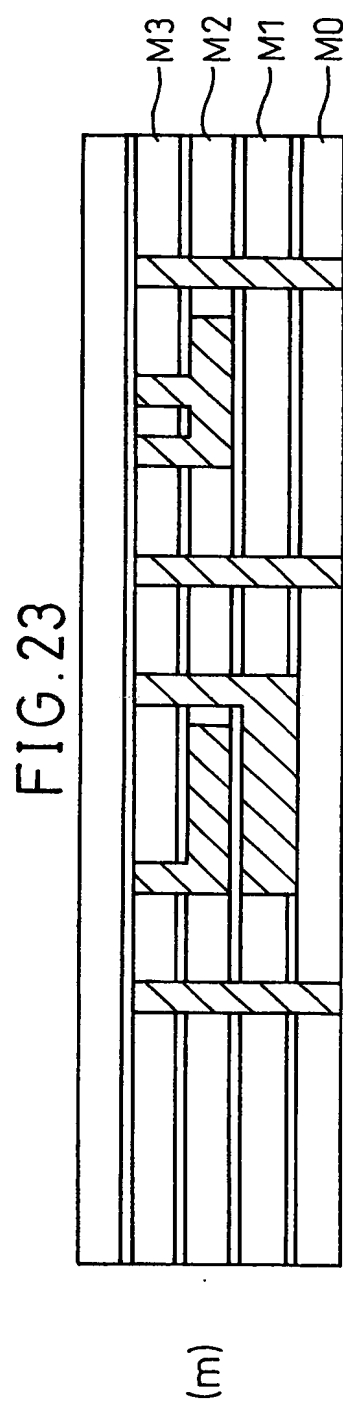
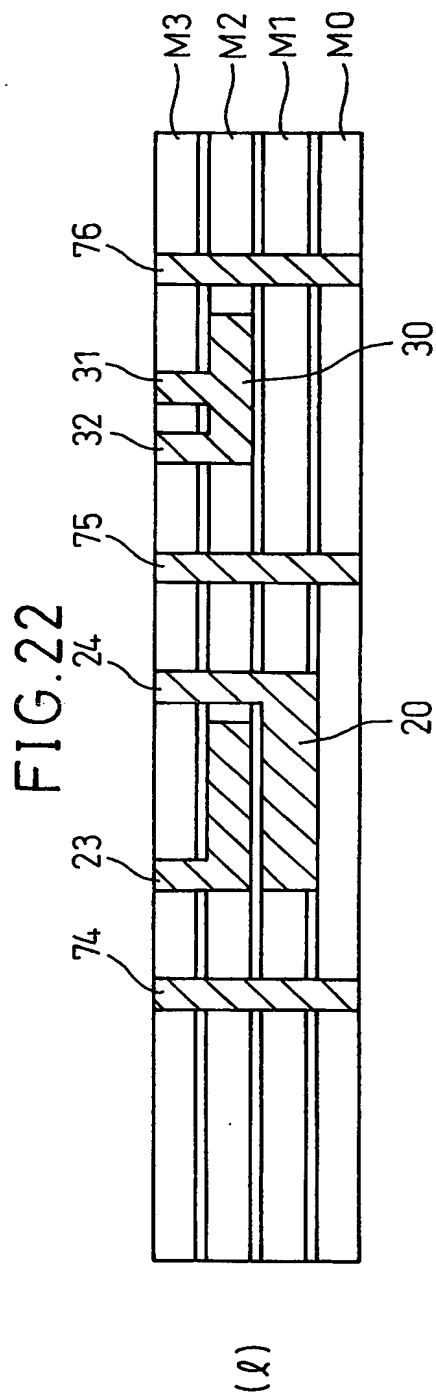
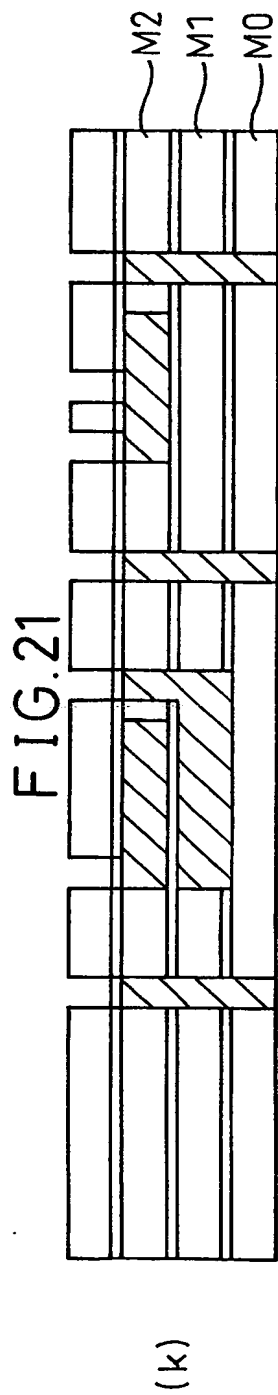


FIG. 24

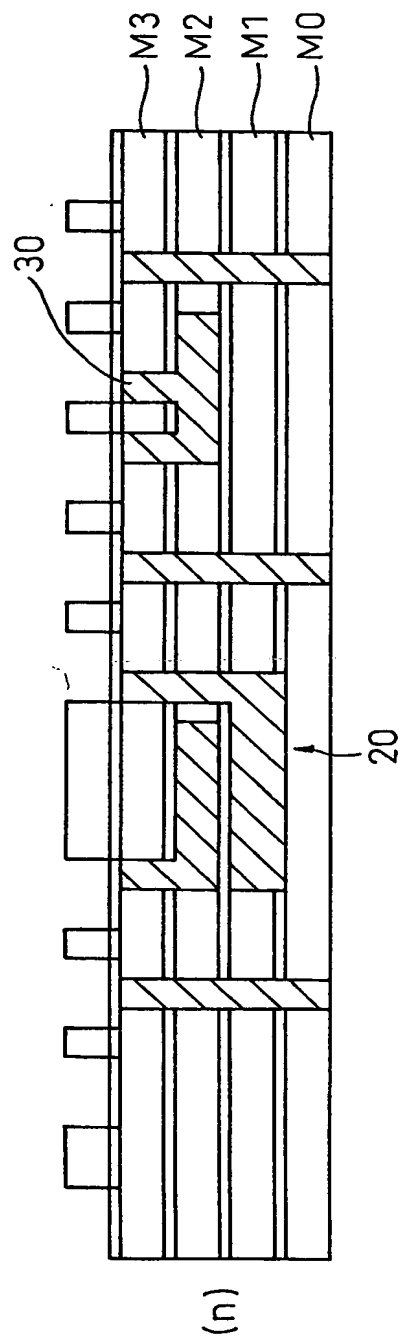


FIG. 25

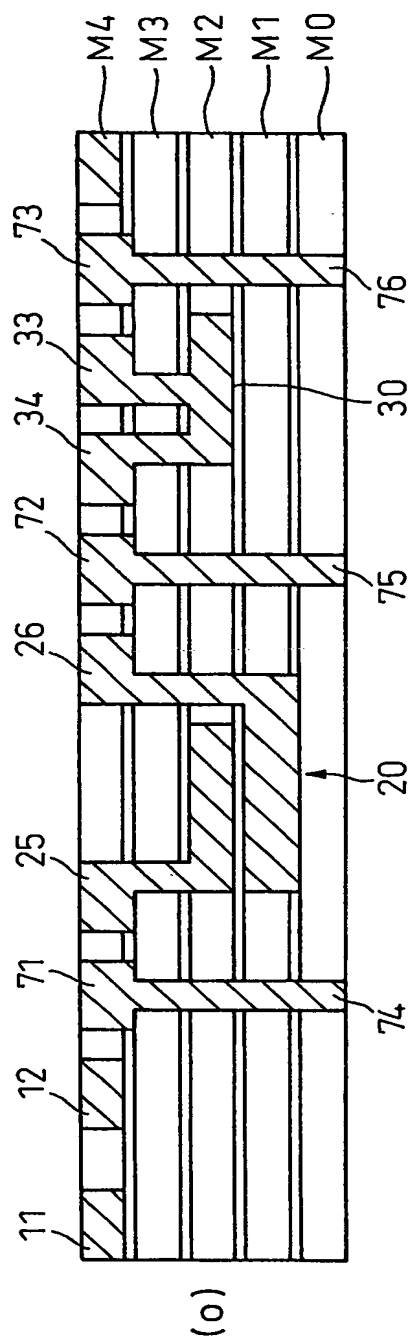


FIG. 26

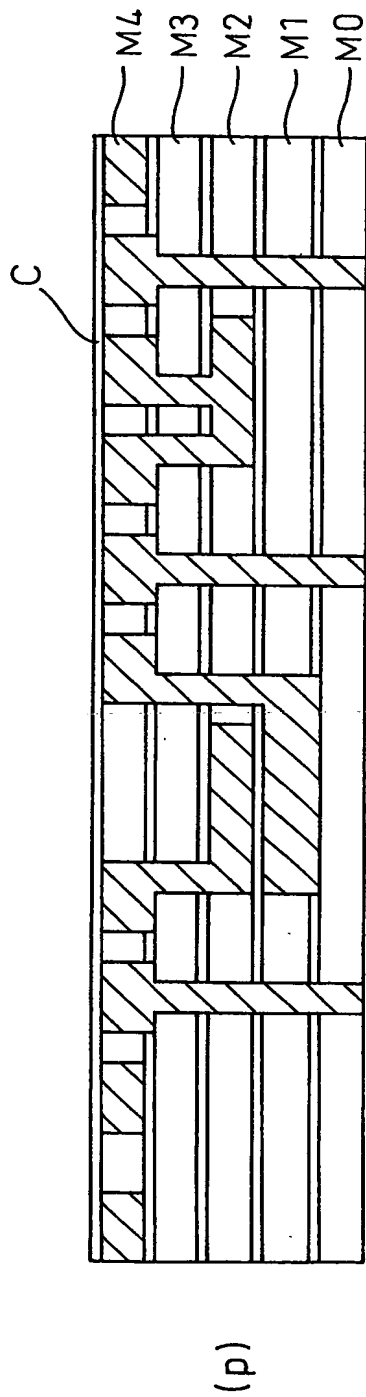


FIG. 27

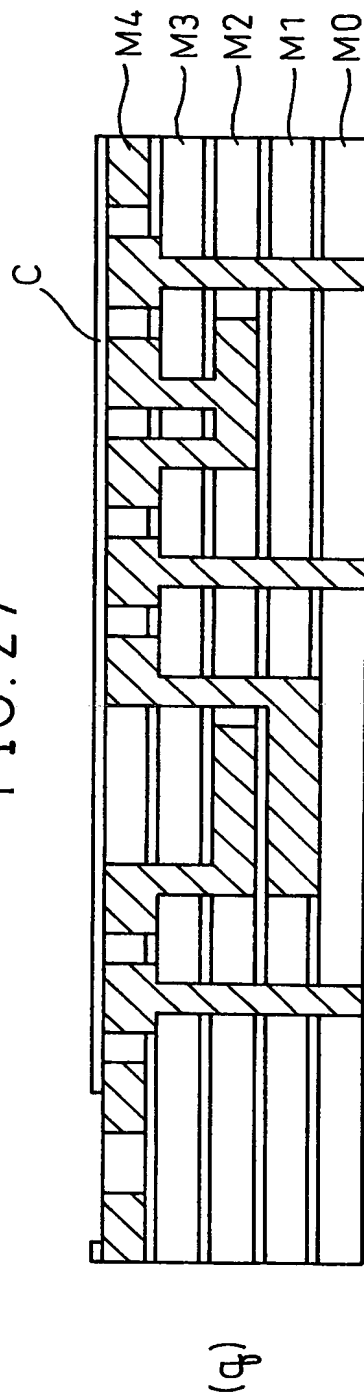


FIG. 28

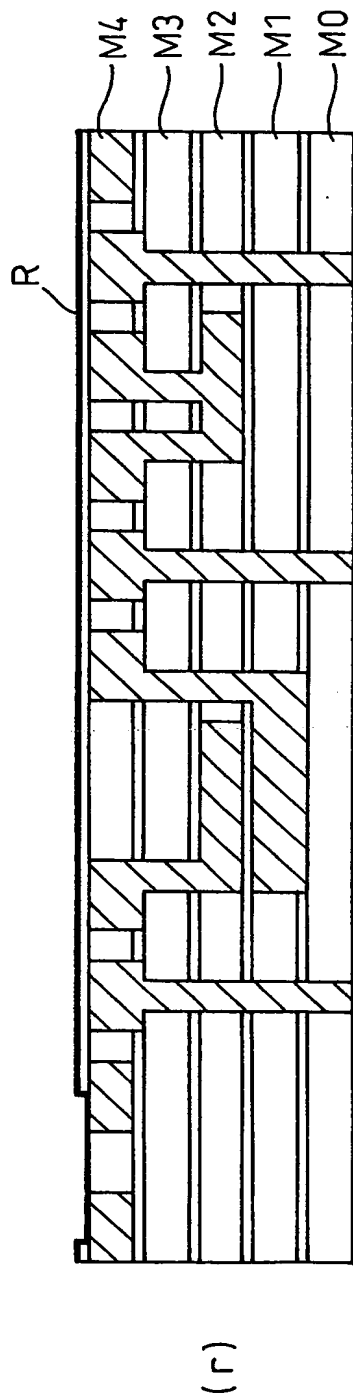


FIG. 29

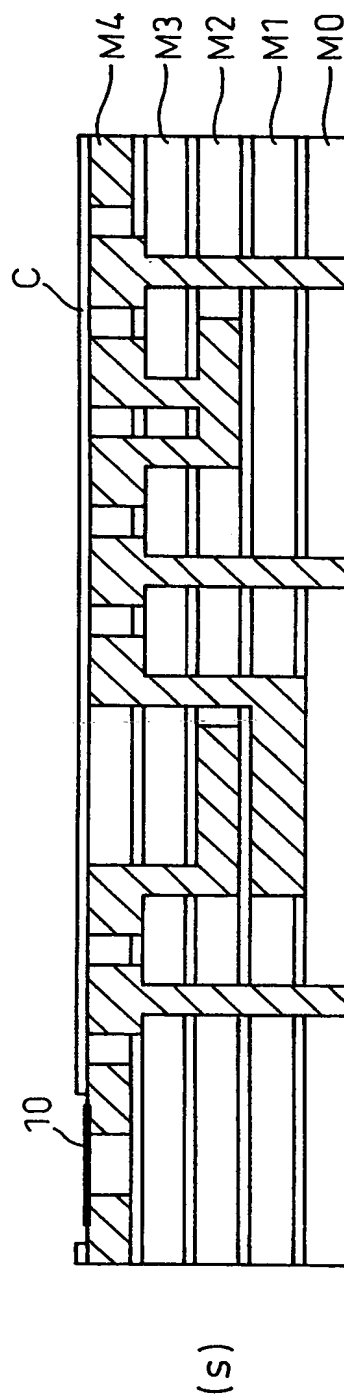


FIG. 30

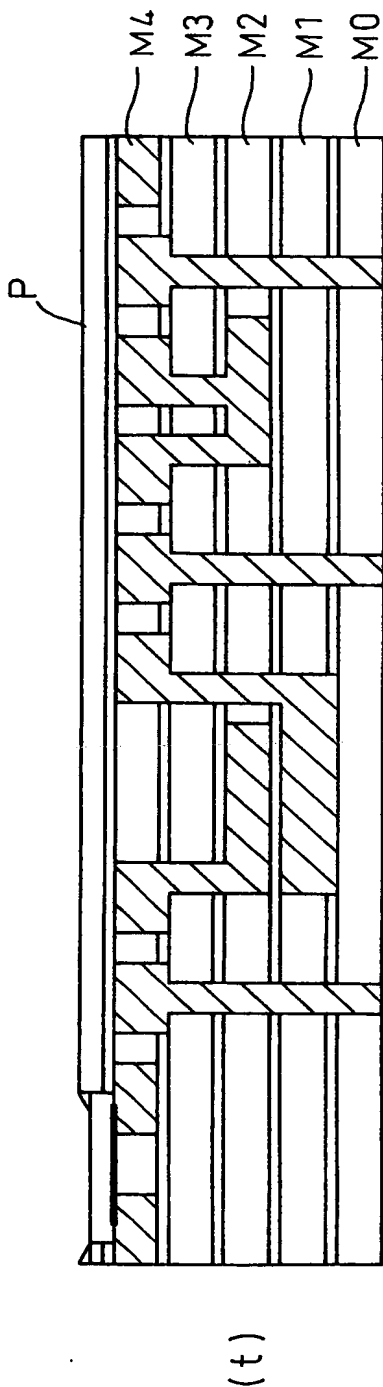


FIG. 31

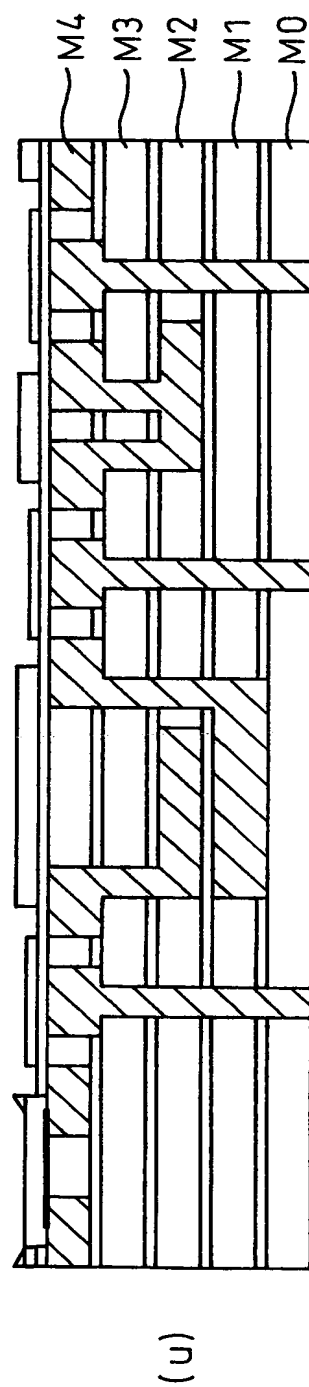


FIG.32

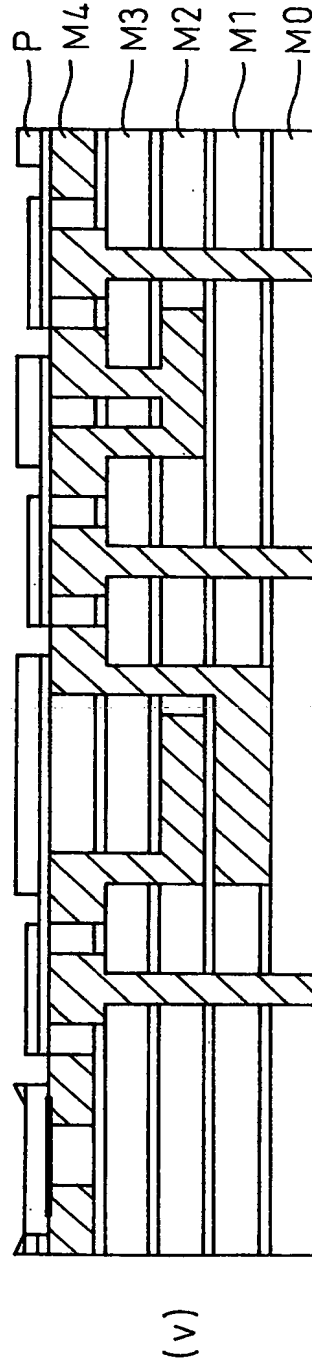


FIG.33

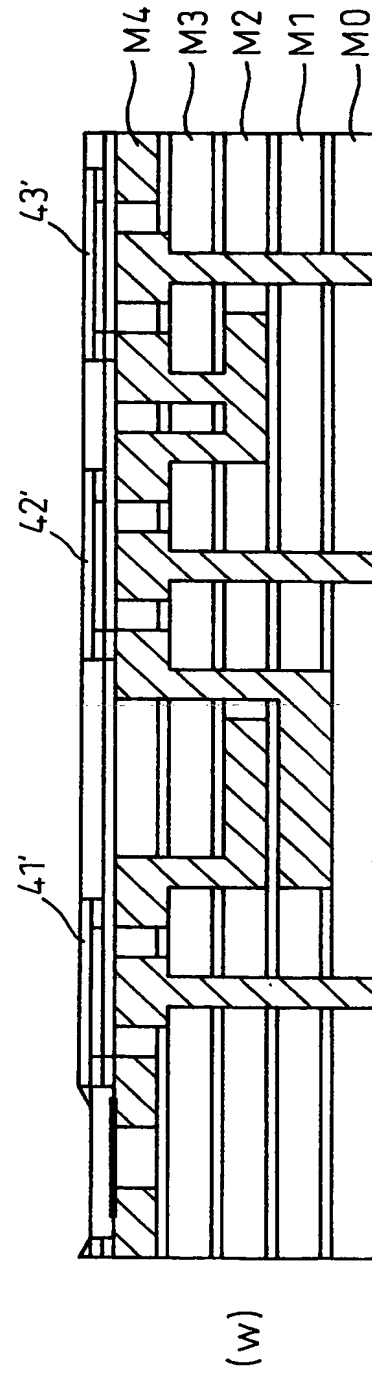


FIG. 34

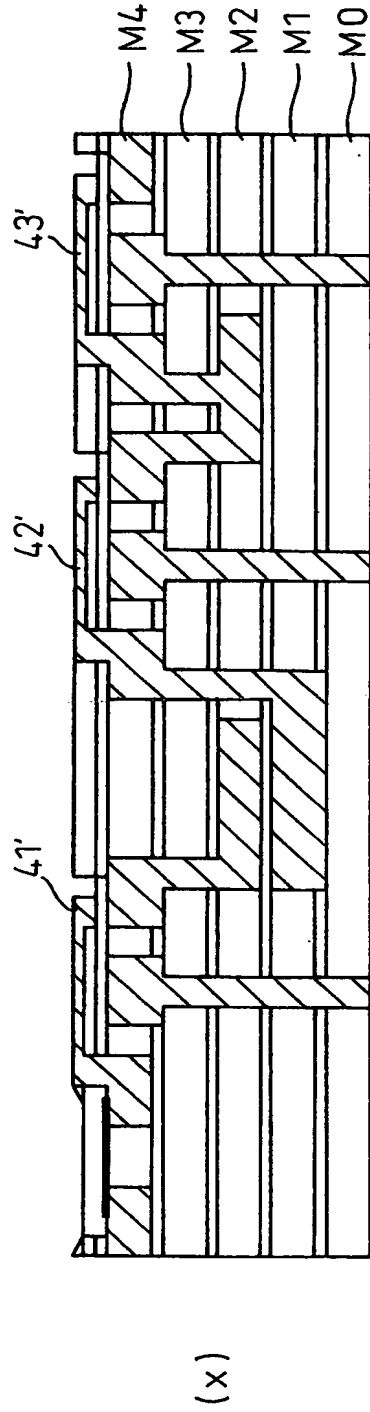


FIG. 35

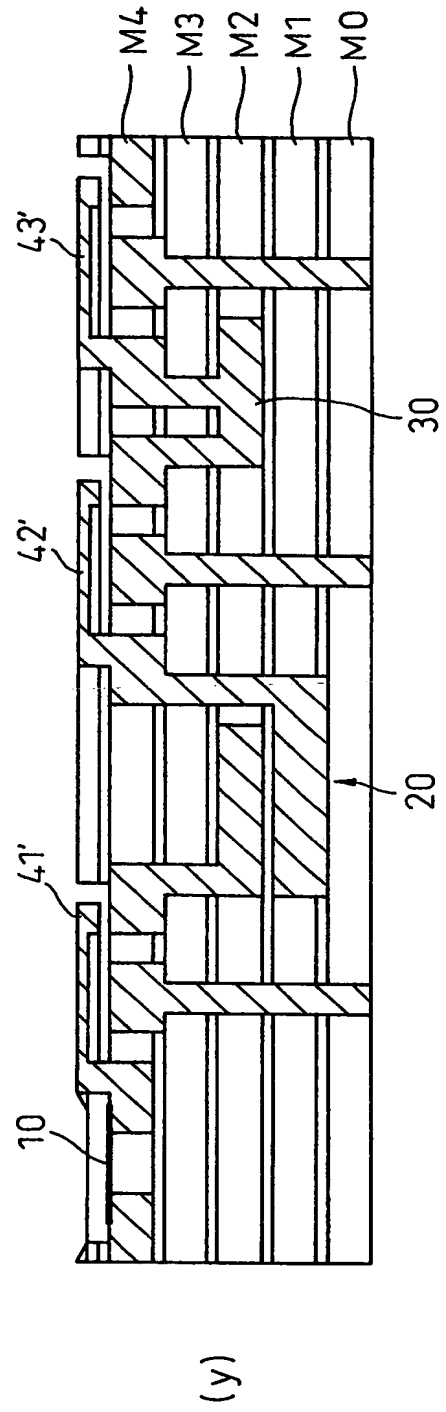
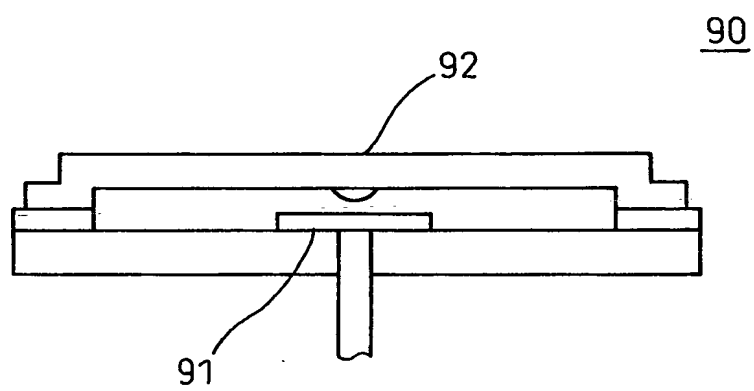


FIG. 36





# INTERNATIONAL SEARCH REPORT

International application No.

JP03/07891

## A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl<sup>7</sup> B81B7/04, B81C1/00, H01L27/04

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl<sup>7</sup> B81B7/04, B81C1/00, H01L27/04, H01H59/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Toroku Jitsuyo Shinan Koho	1994-2003
Kokai Jitsuyo Shinan Koho	1971-2003	Jitsuyo Shinan Toroku Koho	1996-2003

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	EP 1093143 A1 (LUCENT TECHNOLOGIES INC.), 18 April, 2001 (18.04.01), Par. Nos. [0014], [0022]; Figs. 1 to 6 & JP 2001-198897 A	1-19 20-23
X A	JP 2000-183290 A (NEC Corp.), 30 June, 2000 (30.06.00), Par. Nos. [0024] to [0044]; Figs. 1 to 8 (Family: none)	1-19 20-23
A	JP 2001-266727 A (NEC Corp.), 28 September, 2001 (28.09.01), Full text (Family: none)	1-23

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

\* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search  
19 September, 2003 (19.09.03)

Date of mailing of the international search report  
07 October, 2003 (07.10.03)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl<sup>7</sup> B81B7/04, B81C1/00, H01L27/04

## B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl<sup>7</sup> B81B7/04, B81C1/00, H01L27/04, H01H59/00

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2003年
日本国登録実用新案公報	1994-2003年
日本国実用新案登録公報	1996-2003年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X A	EP 1093143 A1 (LUCENT TECHNOLOGIES INC.) 2001. 0 4. 18, 段落 [0014], [0022], 図1-6 & JP 200 1-198897 A	1-19 20-23
X A	JP 2000-183290 A (日本電気株式会社) 2000. 06. 30, 段落【0024】-【0044】、【図1】-【図8】 (ファミリー なし)	1-19 20-23
A	JP 2001-266727 A (日本電気株式会社) 2001. 09. 28, 全文 (ファミリーなし)	1-23

☐ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの  
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)  
「O」 口頭による開示、使用、展示等に言及する文献  
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
「&」 同一パテントファミリー文献

国際調査を完了した日

19.09.03

国際調査報告の発送日

07.10.03

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)  
郵便番号100-8915  
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

三宅 達



3P

2919

電話番号 03-3581-1101 内線 3362